

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000年12月28日 (28.12.2000)

PCT

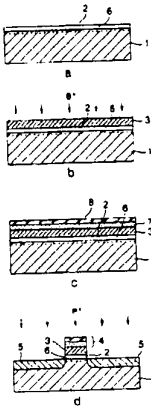
(10) 国際公開番号
WO 00/79601 A1

- (51) 国際特許分類⁷: H01L 29/78
(21) 国際出願番号: PCT/JP00/03968
(22) 国際出願日: 2000年6月16日 (16.06.2000)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願平11/177078 1999年6月23日 (23.06.1999) JP
(71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 瀧澤照夫 (TAKIZAWA, Teruo) [JP/JP]; 島田浩行 (SHIMADA, Hiroyuki) [JP/JP]; 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).
(74) 代理人: 稲葉良幸, 外 (INABA, Yoshiyuki et al.); 〒105-0001 東京都港区虎ノ門三丁目5番1号 37森ビル 803号室 TMI総合法律事務所 Tokyo (JP).
(81) 指定国 (国内): JP, KR, US.
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device including an insulated-gate field-effect transistor has a gate electrode whose work function is well controlled to be close to the intrinsic mid-gap energy of silicon to reduce impurity concentration in the channel. The insulated-gate field-effect transistor thus prevents the carrier mobility from decreasing and provides higher current-carrying capacity. The gate electrode has a multi-layer structure including a p-type polycrystalline or single-crystal germanium film (3) and a low-resistivity conductor film (4).

(57) 要約:

絶縁ゲート電界効果トランジスタを備えた半導体装置であって、ゲート電極の仕事関数を制御性良くシリコンの真性ミッドギャップエネルギーに近づけ、チャネル内の不純物の低濃度化を図る。これによりキャリア移動度の劣化を防ぎ、高い電流駆動能力を備えた絶縁ゲート電界効果トランジスタを得る。ゲート電極をp形多結晶あるいは単結晶ゲルマニウム膜3と低抵抗導電膜4の多層構造とする。

WO 00/79601 A1

THIS PAGE BLANK (USPTO)

FYI

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03968

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1966-2000	Jitsuyo shinan Toroku Koho	1996-2000
Kokai Jitsuyo Shinan Koho	1971-1995	Toroku Jitsuyo Shinan Koho	1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-27854, A (Sony Corporation), 27 January, 1998 (27.01.98), Full text; Figs. 1 to 6	1-4, 7, 8, 12
Y	Full text; Figs. 1 to 6 (Family: none)	5, 6, 9, 10, 11, 13
X	JP, 48-22022, B1 (Matsushita Electric Ind. Co., Ltd.), 03 July, 1973 (03.07.73), Full text; Figs. 1 to 6, (Family: none)	1
Y	JP, 7-288323, A (Sony Corporation), 31 October, 1995 (31.10.95), Par. Nos. [0002]-[0008]; Fig. 4 (Family: none)	5, 10
Y	JP, 11-162916, A (NEC Corporation), 18 June, 1999 (18.06.99), Par. Nos. [0002]-[0003]; Fig. 5 (Family: none)	5, 10
Y	JP, 11-17182, A (Sony Corporation), 22 January, 1999 (22.01.99), Full text; Figs. 1 to 8; (Family: none)	6, 9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 August, 2000 (04.08.00)

Date of mailing of the international search report
15 August, 2000 (15.08.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03968

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO, 94/14198, A (INTEL CORPORATIO N), 23 June, 1994 (23.06.94), pages 8 to 17; Figs. 3, 4 & JP, 8-508851, A & US, 5625217, A & US, 5783478, A & GB, 2286723, B	6, 9, 13
Y	JP, 11-87708, A (France Telecom), 30 March, 1999 (30.03.99), Par.Nos. [0019]-[0025] & EP, 887843, A & FR, 2765394, A	11
Y	JP, 7-202178, A (Toshiba Corporation), 04 August, 1995 (04.08.95), Par. Nos. [0114]-[0142], [0047]-[0058]; Figs. 9, 10 (Family: none)	13
A	JP, 11-3999, A (Sony Corporation), 06 January, 1999 (06.01.99), Full text; Figs. 1 to 7 (Family: none)	1-13
A	JP, 63-198373, A (NEC Corporation), 17 August, 1988 (17.08.88), Full text; Figs. 1 to 6 (Family: none)	1-13

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03968

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1966-2000 Jitsuyo shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-1995 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-27854, A (Sony Corporation), 27 January, 1998 (27.01.98), Full text; Figs. 1 to 6	1-4, 7, 8, 12
Y	Full text; Figs. 1 to 6 (Family: none)	5, 6, 9, 10, 11, 13
X	JP, 48-22022, B1 (Matsushita Electric Ind. Co., Ltd.), 03 July, 1973 (03.07.73), Full text; Figs. 1 to 6, (Family: none)	1
Y	JP, 7-288323, A (Sony Corporation), 31 October, 1995 (31.10.95), Par. Nos. [0002]-[0008]; Fig. 4 (Family: none)	5, 10
Y	JP, 11-162916, A (NEC Corporation), 18 June, 1999 (18.06.99), Par. Nos. [0002]-[0003]; Fig. 5 (Family: none)	5, 10
Y	JP, 11-17182, A (Sony Corporation), 22 January, 1999 (22.01.99), Full text; Figs. 1 to 8; (Family: none)	6, 9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 August, 2000 (04.08.00)

Date of mailing of the international search report
15 August, 2000 (15.08.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03968

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO, 94/14198, A (INTEL CORPORATIO N), 23 June, 1994 (23.06.94), pages 8 to 17; Figs. 3, 4 & JP, 8-508851, A & US, 5625217, A & US, 5783478, A & GB, 2286723, B	6, 9, 13
Y	JP, 11-87708, A (France Telecom), 30 March, 1999 (30.03.99), Par.Nos. [0019]-[0025] & EP, 887843, A & FR, 2765394, A	11
Y	JP, 7-202178, A (Toshiba Corporation), 04 August, 1995 (04.08.95), Par. Nos.[0114]-[0142],[0047]-[0058]; Figs. 9, 10 (Family: none)	13
A	JP, 11-3999, A (Sony Corporation), 06 January, 1999 (06.01.99), Full text; Figs. 1 to 7 (Family: none)	1-13
A	JP, 63-198373, A (NEC Corporation), 17 August, 1988 (17.08.88), Full text; Figs. 1 to 6 (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年
 日本国公開実用新案公報 1971-2000年
 日本国実用新案登録公報 1996-2000年
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-27854, A (ソニー株式会社) 27. 1月. 1998 (27. 01. 98), 全文, 第1-6図	1-4, 7, 8, 12
Y	全文, 第1-6図 (ファミリーなし)	5, 6, 9, 10, 11, 13
X	JP, 48-22022, B1 (松下電器産業株式会社) 3.	1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

04. 08. 00

国際調査報告の発送日

5.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英 印

4 L 8 4 2 1

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	7月. 1973 (03. 07. 73), 全文, 第1-6図 (ファミリーなし)	
Y	JP, 7-288323, A (ソニー株式会社) 31. 10月. 1995 (31. 10. 95), 段落番号【0002】-【0008】, 第4図 (ファミリーなし)	5, 10
Y	JP, 11-162916, A (日本電気株式会社) 18. 6月. 1999 (18. 06. 99), 段落番号【0002】-【0003】, 第5図 (ファミリーなし)	5, 10
Y	JP, 11-17182, A (ソニー株式会社) 22. 1月. 1999 (22. 01. 99), 全文, 第1-8図, (ファミリーなし)	6, 9
Y	WO, 94/14198, A (INTEL CORPORATION) 23. 6月. 1994 (23. 06. 94), 第8頁-第17頁, 第3図, 第4図 & JP, 8-508851, A & US, 5625217, A & US, 5783478, A & GB, 2286723, B	6, 9, 13
Y	JP, 11-87708, A (フランス テレコム) 30. 3月. 1999 (30. 03. 99), 段落番号【0019】-【0025】 & EP, 887843, A & FR, 2765394, A	11
Y	JP, 7-202178, A (株式会社東芝) 4. 8月. 1995 (04. 08. 95), 段落番号【0114】-【0142】, 段落番号【0047】-【0058】, 第9図, 第10図 (ファミリーなし)	13
A	JP, 11-3999, A (ソニー株式会社) 6. 1月. 1999 (06. 01. 99), 全文, 第1図-第7図 (ファミリーなし)	1-13
A	JP, 63-198373, A (日本電気株式会社) 17. 8月. 1988 (17. 08. 88), 全文, 第1図-第6図 (ファミリーなし)	1-13

PCT REQUEST

S279P3P035WO

Draft (NOT for submission) - printed on 21.02.2001 10:26:50 AM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	S279P3P035WO
I	Title of invention	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	SEIKO EPSON CORPORATION
II-5	Address:	4-1, Nishishinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan , Japan
II-6	State of nationality	
II-7	State of residence	JP
II-8	Telephone No.	03-3348-3114
II-9	Facsimile No.	03-3340-4258
III-1	Applicant and/or inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	TAKIZAWA, Teruo
III-1-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan , Japan
III-1-6	State of nationality	
III-1-7	State of residence	JP

THIS PAGE BLANK

PCT REQUEST

S279P3P035WO

Draft (NOT for submission) - printed on 21.02.2001 10:26:50 AM

III-2	Applicant and/or inventor	
III-2-1	This person is:	applicant and inventor
III-2-2	Applicant for	US only
III-2-4	Name (LAST, First)	SHIMADA, Hiroyuki
III-2-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan , Japan
III-2-6	State of nationality	
III-2-7	State of residence	JP
IV-1	Agent or common representative; or address for correspondence	
	The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	INABA, Hiroyuki
IV-1-2	Address:	TMI ASSOCIATES, Suite 803 37 Mori Building, 5-1, Toranomon 3-chome Minato-ku, Tokyo 105-0001 Japan , Japan
IV-1-3	Telephone No.	03-5472-8511
IV-1-4	Facsimile No.	03-5472-0866
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE and any other State which is a Contracting State of the European Patent Convention and of the PCT (except TR)
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	JP KR US

THIS PAGE BLANK (11/15/71)

PCT REQUEST

S279P3P035WO

Draft (NOT for submission) - printed on 21.02.2001 10:26:50 AM

V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
V-6	Exclusion(s) from precautionary designations	NONE	
VI-1	Priority claim of earlier national application		
VI-1-1	Filing date	23 June 1999 (23.06.1999)	
VI-1-2	Number	11-177078	
VI-1-3	Country	JP	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	3	-
VIII-2	Description	11	-
VIII-3	Claims	3	-
VIII-4	Abstract	1	-
VIII-5	Drawings	9	-
VIII-7	TOTAL	27	
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	<no. >	
VIII-19	Language of filing of the international application	Japanese	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	

PCT REQUEST

S279P3P035WO

Draft (NOT for submission) - printed on 21.02.2001 10:26:50 AM

10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願願書

S279P3P035W0

原本（出願用） - 印刷日時 2000年06月16日（16.06.2000）金曜日 12時08分22秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく 国際出願願書は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.90 (updated 10.05.2000)
0-5	申立て 出願人は、この国際出願が特許 協力条約に従って処理されるこ とを請求する。	
0-6	出願人によって指定された 受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記 号	S279P3P035W0
I	発明の名称	半導体装置及びその製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人で ある。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	セイコーエプソン株式会社
II-4en	Name	SEIKO EPSON CORPORATION
II-5ja	あて名:	163-0811 日本国 東京都 新宿区 西新宿二丁目4番1号
II-5en	Address:	4-1, Nishishinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	03-3348-3114
II-9	ファクシミリ番号	03-3340-4258



THIS PAGE BLANK (USPTO)

III-1 III-1-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja III-1-4en III-1-5ja	氏名 (姓名) Name (LAST, First) あて名:	瀧澤 照夫 TAKIZAWA, Teruo 392-8502 日本国 長野県 諏訪市 大和三丁目3番5号 セイコーエプソン株式会社内
III-1-5en	Address:	c/o X SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP
III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-2-2	右の指定国についての出願人である。	米国のみ (US only)
III-2-4ja III-2-4en III-2-5ja	氏名 (姓名) Name (LAST, First) あて名:	島田 浩行 SHIMADA, Hiroyuki 392-8502 日本国 長野県 諏訪市 大和三丁目3番5号 セイコーエプソン株式会社内
III-2-5en	Address:	c/o X SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP
IV-1	代理人又は共通の代表者、 通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja IV-1-1en IV-1-2ja	氏名 (姓名) Name (LAST, First) あて名:	稲葉 良幸 INABA, Yoshiyuki 105-0001 日本国 東京都 港区 虎ノ門三丁目5番1号37森ビル 803号室 TMI総合法律事務所
IV-1-2en	Address:	TMI ASSOCIATES, Suite 803 37 Mori Building, 5-1, Toranomom 3-chome Minato-ku, Tokyo 105-0001 Japan
IV-1-3	電話番号	03-5472-8511
IV-1-4	ファクシミリ番号	03-5472-0866

THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願願書

S279P3P035W0

原本（出願用） - 印刷日時 2000年06月16日（16. 06. 2000）金曜日 12時08分22秒

IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)	
IV-2-1ja	氏名	田中 克郎; 大賀 眞司	
IV-2-1en	Name(s)	TANAKA, Katsuro; OHGA, Shinji	
V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国 である他の国	
V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	JP KR US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、 規則4.9(b)の規定に基づき、 特許協力条約のもとで認められ る他の全ての国の指定を行う。 ただし、V-6欄に示した国の指 定を除く。出願人は、これらの 追加される指定が確認を条件と していること、並びに優先日か ら15月が経過する前にその確認 がなされない指定は、この期間 の経過時に、出願人によって取 り下げられたものとみなされる ことを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国内出願に基づく優先 権主張		
VI-1-1	先の出願日	1999年06月23日 (23. 06. 1999)	
VI-1-2	先の出願番号	平成 1 1 年特許願第 1 7 7 0 7 8	
VI-1-3	国名	日本国 JP	
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の 番号のものについては、出願書 類の認証謄本を作成し国際事務 局へ送付することを、受理官庁 に対して請求している。	VI-1	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	11	-
VIII-3	請求の範囲	3	-
VIII-4	要約	1	s279p3p035wo.txt
VIII-5	図面	9	-
VIII-7	合計	28	

THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願願書

S279P3P035W0

原本（出願用） - 印刷日時 2000年06月16日（16. 06. 2000）金曜日 12時08分22秒

	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-9	別個の記名押印された委任状	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当する特許印紙を貼付した書面	-
VIII-17	その他	国際事務局の口座への振込を証明する書面	-
VIII-18	要約書とともに提示する図の番号		
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	稲葉 良幸	
IX-2	提出者の記名押印		
IX-2-1	氏名(姓名)	田中 克郎	
IX-3	提出者の記名押印		
IX-3-1	氏名(姓名)	大賀 眞司	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

THIS PAGE BLANK (USPTO)

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000 年 12 月 28 日 (28.12.2000)

PCT

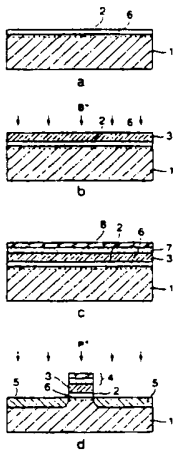
(10) 国際公開番号
WO 00/79601 A1

- (51) 国際特許分類⁷: H01L 29/78 (72) 発明者; および
(21) 国際出願番号: PCT/JP00/03968 (75) 発明者/出願人 (米国についてのみ): 瀧澤 照夫
(22) 国際出願日: 2000 年 6 月 16 日 (16.06.2000) (TAKIZAWA, Teruo) [JP/JP], 島田 浩行 (SHIMADA,
(25) 国際出願の言語: 日本語 Hiroyuki) [JP/JP]; 〒392-8502 長野県諏訪市大和三丁
(26) 国際公開の言語: 日本語 目 3 番 5 号 セイコーエプソン株式会社内 Nagano (JP).
(30) 優先権データ: (74) 代理人: 稲葉 良幸, 外 (INABA, Yoshiyuki et al.); 〒
特願平 11/177078 1999 年 6 月 23 日 (23.06.1999) JP 105-0001 東京都港区虎ノ門三丁目 5 番 1 号 37 森ビル
(71) 出願人 (米国を除く全ての指定国について): セイコー 803 号室 TMI 総合法律事務所 Tokyo (JP).
エプソン株式会社 (SEIKO EPSON CORPORATION) (81) 指定国 (国内): JP, KR, US.
[JP/JP]; 〒163-0811 東京都新宿区西新宿二丁目 4 番 1 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,
号 Tokyo (JP). DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device including an insulated-gate field-effect transistor has a gate electrode whose work function is well controlled to be close to the intrinsic mid-gap energy of silicon to reduce impurity concentration in the channel. The insulated-gate field-effect transistor thus prevents the carrier mobility from decreasing and provides higher current-carrying capacity. The gate electrode has a multi-layer structure including a p-type polycrystalline or single-crystal germanium film (3) and a low-resistivity conductor film (4).

(57) 要約:

絶縁ゲート電界効果トランジスタを備えた半導体装置であって、ゲート電極の仕事関数を制御性良くシリコンの真性ミッドギャップエネルギーに近づけ、チャネル内の不純物の低濃度化を図る。これによりキャリア移動度の劣化を防ぎ、高い電流駆動能力を備えた絶縁ゲート電界効果トランジスタを得る。ゲート電極を p 形多結晶あるいは単結晶ゲルマニウム膜 3 と低抵抗導電膜 4 の多層構造とする。

WO 00/79601 A1

00763366 02201

WO 00/79601 A1



添付公開 類:
— 国際調査報告

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

THIS PAGE BLANK (USPTO)

明 細 書

半導体装置及びその製造方法

5 技術分野

本発明は、半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタに適応して好適な半導体装置及びその製造方法に関する。

背景技術

- 10 従来の半導体装置に用いられる絶縁ゲート型電界効果トランジスタ（以下、MOSFETとも称する）では、ゲート電極の材料として不純物を深くドーブした多結晶シリコン膜が用いられている。例えば、CMOS回路（Complimentary MOSFET 回路）を製造する際に用いられる製造プロセス技術において、回路の動作特性バランスをとるためにゲート電極の材料としては、
- 15 nチャネルMOSFET（NMOS）の場合には、n形多結晶シリコンが、pチャネルMOSFET（PMOS）の場合には、p形多結晶シリコンが用いられている。そして、ゲート電極の低抵抗化を目的として、ゲート電極の上層に遷移金属シリサイド膜を形成する構造が用いられている。

- しかしこの場合、n形多結晶シリコン膜の仕事関数が4.15 eV、p形多結晶シリコン膜の仕事関数が5.25 eVであるので、シリコンの真性ミッドギャップエネルギー4.61 eVから大きくずれた値となってしまう。この値が大きくなると、金属－絶縁膜－半導体という積層構造からなるMOSキャパシタを考えた場合、フラットバンド電圧VFB絶対値の増大をもたらす。（符号はNMOS、PMOSで異なる。）このため、しきい値V_{th}制御を目的としたMOSFETチャンネル内の不純物濃度最適値を高濃度側にシフトさせること
- 25 になる。

このような高濃度のチャネル内では、不純物により散乱が多大な影響を及ぼすようになり、チャネル内のキャリア移動度の劣化を招くことになる。これは即ちMOSFETの電流駆動能力の低下を意味し、回路の応答特性に重要な影響を及ぼす。

- 5 このような問題点を解決するために、様々な仕事関数を持ったゲート電極材料が提案されている。例えば、Tsu-Jae King 等 (IEDM Technical Digest 1990, 253 頁)、あるいは特開平 5-235335 号公報では、ゲート電極の材料として SiGe 合金膜を用いた構造が提案され、Jeong-Mo Hwang 等 (IEDM Technical Digest 1992, 345 頁) では TiN 膜を用いた構造が提案されて
- 10 いる。

図 8 は、ゲート電極に SiGe 合金を用いた第一の従来技術例である。同図について説明すると、基板 1 上に NMOS トランジスタ 20 及び PMOS トランジスタ 21 が形成された構造であり、ゲート酸化膜 2 上にそれぞれ n 形多結晶 SiGe 膜 30 及び p 形多結晶 SiGe 膜 31 が堆積されている。さらに当

15 該 SiGe 膜 30 上に低抵抗化を目的とした低抵抗導電膜 4 を設けている。このような SiGe 合金をゲート電極材料として用いた場合、シリコン中に含ませたゲルマニウム原子の割合で仕事関数をよりシリコンの真性ミッドギャップエネルギーに近づけることができる。

なお、符号 5 はソース・ドレイン領域、符号 22 は n ウェル領域、符号 23 は

20 素子分離酸化膜である。

しかしながら、前述した従来例では、特に PMOS トランジスタ 21 でしか、大きな特性改善が見込めないという欠点がある。それは SiGe 合金におけるバンド構造の変化が主に価電子帯側にしか見られないという物理現象に由来する。すなわち、ゲルマニウム混入により p 形多結晶 SiGe 膜 31 の仕事関数は制御できるのであるが、n 形多結晶 SiGe 膜 30 には期待した以上の効果が

25 得られないのである。

図 9 は、ゲート電極に T i N 膜を用いた従来技術例である。同図において、上記図 8 と同一構成のものには同一の番号を付してその詳細な説明は省略する。図 8 と同様に基板 1 上に NMOS トランジスタ 2 0 及び PMOS トランジスタ 2 1 が形成された構造であり、ゲート酸化膜 2 上に T i N 膜 3 2 が形成されている。そして当該 T i N 膜 3 2 上にも第一の従来技術例と同様に、低抵抗導電膜 4 が設けられている。

このような T i N 膜の仕事関数は、Jeong Mo Hwang 等 (IEDM Technical Digest 1992, 345 頁) に記載のように、4. 7 ~ 4. 8 e V とシリコンの真性ミッドギャップエネルギー 4. 6 1 e V に近く、大きな効果が得られる。

10 しかし、この場合ゲート電極の仕事関数が一意的に決まってしまうため、NMOS トランジスタ及び PMOS トランジスタの特性において若干のアンバランスが生じてしまうという問題がある。さらに前述した低抵抗導電膜 4 を採用した場合、導電膜形成プロセスによって仕事関数のばらつきが生じるため、プロセス条件を厳しく管理しなければならないという欠点もある。

15

発明の開示

本発明は、上記問題点について鑑みてなされたものであり、半導体装置、特に NMOS トランジスタ及び PMOS トランジスタにおけるチャネル内のキャリア移動度の劣化を防ぎ、高い電流駆動能力を備えた半導体装置及びその製造装置を提供するものである。

20 この課題を解決するために、本発明は、シリコン基板上に形成される絶縁ゲート電界効果トランジスタにおいて、前記トランジスタのゲート電極をゲルマニウム膜で形成した半導体装置を提供するものである。

25 前記ゲルマニウム膜は、単結晶ゲルマニウム膜あるいは多結晶ゲルマニウム膜あるいはアモルファスゲルマニウム膜から構成することができる。また、前記ゲルマニウム膜には、p 形不純物を導入することができる。

前記ゲート電極は、ゲルマニウム膜と低抵抗導電膜とを含む多層構造により構成することができる。

さらに、前記低抵抗導電膜は、遷移金属または遷移金属シリサイドまたは遷移金属窒化膜あるいはそれらの組み合わせから構成することができる。

- 5 また、前記多層構造は、ゲルマニウム膜と低抵抗導電膜の間に、多結晶シリコン層を設けることもできる。

さらに、本発明は、nチャネル絶縁ゲート電界効果トランジスタとpチャネル絶縁ゲート電界効果トランジスタを混載し相補形をなす半導体装置において、前記各トランジスタのゲート電極が、p形不純物が導入された単結晶ゲルマニウム膜あるいは多結晶ゲルマニウム膜あるいはアモルファスゲルマニウム膜からなる半導体装置を提供するものである。

10

また、本発明は、半導体基板上にゲート酸化膜を形成する工程と、このゲート酸化膜上にゲルマニウム膜を形成する工程と、このゲルマニウム膜にp型不純物を導入し、パターニングしてゲート電極を形成する工程と、このゲート電極をマスクとしてソース、ドレイン領域を形成する工程とを有する半導体装置の製造方法を提供するものである。

15

そしてまた、前記ゲート電極を形成する工程は、前記ゲルマニウム膜上に多結晶シリコンを形成する工程と、この多結晶シリコン膜上に遷移金属を形成する工程と、熱処理により前記多結晶シリコン膜の一部あるいは全てを遷移金属シリサイドとする工程とを含むことができる。

20

また、前記ゲート電極を形成する工程は、前記ゲルマニウム膜上に遷移金属膜または遷移金属窒化膜を形成する工程を含むことができる。

さらにまた、前記p型不純物を導入する工程は、CVD法により行うことができる。

- 25 また、前記p型不純物を導入する工程は、イオン・インプランテーション法により行うことができる。

そしてまた、本発明は、半導体基板上にゲート酸化膜を形成する工程と、このゲート酸化膜上にゲルマニウム膜を形成する工程と、このゲルマニウム膜にp型不純物を導入し、パターニングしてゲート電極を形成する工程と、このゲート電極をマスクとしてソース、ドレイン領域を形成する工程と、前記ゲート電極の両端にスペーサを形成する工程と、前記ゲート電極上及び前記ソース、ドレイン領域上に遷移金属膜を形成し、熱処理して遷移金属シリサイドとする工程と、を有する半導体装置の製造方法を提供するものである。

図面の簡単な説明

- 10 図1は、本発明の第一実施形態を示す断面図である。
- 図2は、本発明の第一実施形態に関する第一製造方法を説明する図である。
- 図3は、本発明の第一実施形態に関する第二製造方法を説明する図である。
- 図4は、本発明のMOS構造におけるエネルギーバンドダイアグラムを示す図である。
- 15 図5は、本発明の第二実施形態を示す断面図である。
- 図6は、本発明の第三実施形態を示す断面図である。
- 図7は、本発明の第四実施形態を示す断面図である。
- 図8は、従来技術の一例を示す図である。
- 図9は、従来技術の一例を示す図である。

20

発明を実施するための最良の態様

次に本発明の実施形態について図面を参照して説明する。

本発明の第一実施形態を図1に示す。図1は、本発明をpチャネルMOSFETに適用した場合の図である。

- 25 本発明の第一実施形態に係る半導体装置は、p形のシリコン基板1上の、ゲート電極が形成される領域に、ゲート酸化膜2を介して多結晶ゲルマニウム膜

3 及び低抵抗導電膜 4 が成膜されている。ゲルマニウム層 3 は、多結晶ゲルマニウム膜の他に単結晶ゲルマニウム膜やアモルファスゲルマニウム膜であっても良い。但しゲルマニウム層は p 形不純物、例えばボロン B のドーピングにより、p 形半導体特性を有している。またゲート酸化膜 2 直下にはチャネル部 6、

5 その両端にはソース・ドレイン領域 5 が設けられており、これらにより MOS FET が形成されている。このように、本実施形態においてはゲート電極にゲルマニウム膜を用いているので、チャネル内の不純物ドーパ量の高濃度化を抑えることができ、そのためチャネル内のキャリア移動度の劣化を防ぐことができる。

10 次に本実施形態の製造方法について、図 2 及び図 3 を参照して詳細に説明する。但し、以下では NMOS トランジスタについて説明を行うが、チャネル部 6、ソース・ドレイン領域 5 にドーパする不純物を適当に変えることで、PMOS トランジスタも同様に製造することが可能となる。

図 2 は、本実施形態に関する第一製造方法を示すものである。

15 図 2 (a) では、まず比抵抗 $14 \sim 22 \Omega \cdot \text{cm}$ 、面方位 (100) の p 形シリコン基板 1 に低濃度 $10^{15} \sim 10^{17} \text{ cm}^{-3}$ のボロン B^+ をドーパしてチャネル部 6 を形成した後、熱酸化にてゲート酸化膜 2 を $70 \sim 100$ オングストローム程度形成する。

次に、図 2 (b) では、さらに CVD (Chemical Vapor Deposition)

20 法にて多結晶ゲルマニウム膜 3 を $200 \sim 400 \text{ nm}$ 堆積させ、その膜中にイオン・インプランテーション法にて、ボロン B^+ を $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 程度打ち込む。この時の多結晶ゲルマニウム膜 3 に導入すべきボロン濃度の詳細については後述する。

次いで、図 2 (c) では、CVD 法にて多結晶シリコン膜 7 を前記多結晶ゲルマニウム膜 3 上に堆積した後、遷移金属膜、例えば Ti 膜をスパッタ法にて

25 成膜し、高温アニールを経て多結晶シリコン膜 7 の一部を遷移金属シリサイド

膜 8 (TiSi₂ 膜) とする。なお、この時多結晶シリコン膜 7 の全てを高融点シリサイド化してしまっても良い。尚、遷移金属の例としてはTiの他にCo、Mo等が挙げられる。

最後に図 2 (d) では、図示しないレジストを塗布して、フォトリソグラフィ技術によりゲート電極のパターニングを行った後、このゲート電極パターンをマスクとしてリンP⁺を 10^{20} cm^{-3} 程度ドーピングする。この結果、セルフアライン的にソース・ドレイン領域 5 を得ることができる。

次に本実施形態に関する第二製造方法について図 3 を用いて説明する。なお、上述した図 2 と同一構成については同一番号を付し、その詳細な説明は省略する。

まず、図 3 (a) では、図 2 (a) に示した第一製造方法と同様に、比抵抗 $14 \sim 22 \Omega \cdot \text{cm}$ 、面方位(100)のp形シリコン基板 1 にチャネル部 6 を形成し、熱酸化にてゲート酸化膜 2 を70~100オングストローム程度形成する。

次に、図 3 (b) では、ゲート酸化膜 2 上に、多結晶ゲルマニウム膜 3 を堆積させ、ボロンB⁺をイオン・インプランテーション法にて打ち込みp形半導体とする。

次いで、図 3 (c) では、CVD法にて多結晶シリコン膜 7 を堆積した後、図示しないレジストを塗布してフォトリソグラフィ技術によりゲート電極のパターニングを行う。このゲート電極パターンを利用してセルフアライン的にソース・ドレイン領域 5 を形成する。ここまでは、図 2 の第一製造方法と同様である。次に、二酸化シリコンから成るスペーサ 9 をゲート電極の両側に形成した後、遷移金属膜、例えば、Ti膜、Co膜、Mo膜をスパッタ法により成膜し高温アニールを経て多結晶シリコン膜 7 の一部とソース・ドレイン領域 5 表面層を遷移金属シリサイド膜 8 とする。但しこの製法では、ソース・ドレイン領域 5 形成時に多結晶シリコン膜 7 中にリンP⁺が導入されn形半導体となっ

ているため、多結晶ゲルマニウム膜との間に p n 接合ができてしまう。従って、この第二製造方法を用いる場合は、このような p n 接合を防ぐため、多結晶シリコン膜 7 の全てを遷移金属シリサイドとしたほうが良い。

5 以上説明したように、本実施形態の製造方法によれば、ゲート電極の仕事関数をシリコンの真性ミッドギャップエネルギーに近づけることができるため、チャネル内の不純物ドーパ量の高濃度化を抑えることができ、そのためチャネル内のキャリア移動度の劣化を防ぐことができる。

ここで、本発明におけるゲート電極の仕事関数制御について説明する。

10 図 4 は、上述した第一製造方法あるいは、第二製造方法に基づいて製造した MOS 構造のエネルギーバンドダイアグラムである。

p 形単結晶シリコン層（チャネル部）の電子親和カエネルギー χ_1 は、4.05 eV、エネルギーギャップ E_{g1} は 1.12 eV であり、真性ミッドギャップエネルギー E_{i1} = 4.61 eV を与えている。一方、ゲート電極側の p 形多結晶ゲルマニウム膜の電子親和カエネルギー χ_2 は、4.0 eV、エネルギーギャップ E_{g2} は 0.66 eV であり、真性ミッドギャップエネルギー E_{i2} は 4.33 eV である。この多結晶ゲルマニウム膜を深く p 形にドーパした場合の仕事関数 ϕ_M は下記 (1) 式で表される。

$$\begin{aligned} \phi_M &= \chi_2 + E_{q2} / 2q + \phi_{B2} \\ &= E_{i2} + (K_B T / q) \ln (N_a / n_i) \quad \dots\dots (1) \end{aligned}$$

ここで K_B はボルツマン定数、 T は絶対温度、 q は電荷素量、 n_i はゲルマニウムの真性キャリア濃度、 N_a は多結晶ゲルマニウム膜中に導入された不純物濃度を表している。

25 例えば、温室 ($T = 300 \text{ K}$) において ϕ_M を 4.61 eV に近づけるのであれば、ゲルマニウムの真性キャリア濃度 n_i ; $2.4 \times 10^{13} \text{ cm}^{-3}$ を用い

て、必要な不純物濃度 N_a を $1.2 \times 10^{18} \text{ cm}^{-3}$ と求めることができる。この時のイオン注入の条件としては、多結晶ゲルマニウム膜厚 300 nm に対し B^+ 注入エネルギーを 50 keV 、ドーズ量をおよそ $1.0 \times 10^{13} \text{ cm}^{-2}$ とすれば実現できる。さらに、例えばドーズ量が $\pm 30\%$ 変動したとしても、

5 仕事関数 ϕ_M の変動は (1) 式により 0.01 V 以下であり、仕事関数の制御性が非常に良いことが分かる。

また、ゲート電極として、 Si の真性ミッドギャップエネルギーに近い材料を用いた場合、 n チャンネル型トランジスタ、 p チャンネル型トランジスタともに同材質の電極を用いることができるが、 Ti 膜の仕事関数 ϕ_M が Si の真性ミッドギャップエネルギーに対して多少なりともズレがあると n チャンネル型トランジスタ、 p チャンネル型トランジスタのチャネルドープ量に差異が生じてしまい特性にアンバランスな面が生じる。これに対し、ゲート電極に P 型多結晶ゲルマニウムを用いた場合は、深く n^+ 型にドープされた多結晶ゲルマニウムを用いれば Si の真性ミッドギャップエネルギーに近づけることができる。これにより同材質の電極を用いた特性バランスの良い $CMOS$ を得ることができる。

10

15

以上、本発明の第一実施形態に関する第一製造方法及び第二製造法における p 形不純物の導入工程については、主としてイオン・インプランテーション方法によるものについてのみ述べたが、これの代わりに GeH_4 と B_2H_6 の混合

20 ガスを用いた CVD 法により前記 p 形多結晶ゲルマニウム膜 3 を成膜しても良い。この場合、イオン・インプランテーション工程及びその後に必要とされる不純物の熱拡散工程が省略できるという効果がある。

次に、本発明の第二の実施形態について図 5 を用いて説明する。なお、上述した第一の実施形態である図 1 と同一構成については同一番号を付す。

25 本発明の第二の実施形態に係る半導体装置は、 p 形シリコン基板上 1 上のゲート電極が形成される領域に、ゲート酸化膜 2 を介して多結晶ゲルマニウム膜

3が形成されている。そしてこのp形多結晶ゲルマニウム膜3上には、低抵抗導電膜として、スパッタ法により遷移金属膜10が直接成膜されている。この遷移金属としては、化学的に安定でしかも遷移金属の中でも比抵抗が低いMo等が望ましい。この様に遷移金属を直接p形多結晶ゲルマニウム膜3上に直接形成する場合は高温アニールが不要となる。このため、p形多結晶ゲルマニウム膜3上に導入された不純物がゲート酸化膜2へ突抜けるという問題を解決できる。特に非常に薄いゲート酸化膜(3nm以下)においては、本実施形態は有効な手段となり得る。なお、符号5はソース・ドレイン領域であり、符号6はチャネル部である。

10 次に、本発明の第三の実施形態について図6を用いて説明する。なお、上述した図8の従来例と同一構成については同一番号を付す。

この図6は、p型シリコン基板1上にPMOSトランジスタ21とNMOSトランジスタ20が形成された構造であり、p型シリコン基板1のPMOSトランジスタ21領域には、nウェル領域22が形成され、素子分離酸化膜23を介して、NMOSトランジスタ20と分離されている。NMOSトランジスタ、PMOSトランジスタともゲート絶縁膜2上に、CVD(Chemical Vapor Deposition)法にて多結晶ゲルマニウム膜3を200~400nm堆積させ、その膜中にイオン・インプランテーション法にて、ボロンB⁺を $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 程度打ち込む。これにより、P形多結晶ゲルマニウム膜3の仕事関数が、シリコンの真性ミッドギャップエネルギーに近づけられる。従って、NMOS及びPMOSのチャネル部にドーピングする不純物濃度に差がでず、バランスの良いCMOS特性が得られる。なお、符号4は、低抵抗導電膜、符号5はソース・ドレイン領域であり、符号6はチャネル部である。

次に、本発明の第四の実施形態について、図7を用いて説明する。

25 第四の実施形態に係る半導体装置は、p型シリコン基板1上に絶縁膜24が設けられており、その上に図5に示した第二の実施形態と同一構造のNMOS

トランジスタ 20 と PMOS トランジスタ 21 が形成されている。この実施形態においても、p 形多結晶ゲルマニウム膜 3 の仕事関数がシリコンの真性ミッドギャップエネルギーに近づけられる。従って、NMOS 及び PMOS のチャネル部にドーピングする不純物濃度に差がでず、バランスの良い CMOS 特性が得られる。

MOSFET は、一般的には Silicon on Insulator (SOI) MOSFET と呼ばれており、高速化・低消費電力化に有利なデバイス構造である。絶縁膜 24 としては埋め込みの酸化膜（二酸化シリコン膜）を用いることが多く、埋め込みの手法としては、酸素イオンの注入による手法や熱酸化膜を形成したウエハを他のウエハに貼り合わせる手法等が一般的である。このような MOSFET の場合、チャネル部となるシリコン層（SOI 層）25 が薄膜で形成されているのでバルク MOSFET と同等のしきい値を保つためには、その薄膜中により高濃度の不純物を導入しなければならなくなる。これはすなわち、キャリアの移動度の低下を招く原因となりうる。従って、本発明により仕事関数を制御することでこれを補い、チャネル内に導入する不純物濃度を抑えることはキャリア移動度向上にとって非常に有効な手段となる。

本発明によれば、ゲート電極の仕事関数を制御性良くシリコンの真性ミッドギャップエネルギーに近づけることができるので、NMOS トランジスタ、PMOS トランジスタにかかわらずチャネル内不純物の低濃度化が図れる。従って、キャリア移動度の劣化を防ぐことができ、高い電流駆動能力を備えた MOSFET を提供できる。

請 求 の 範 囲

1. シリコン基板と、

前記シリコン基板上に形成される絶縁ゲート電界効果トランジスタと、

5 を備え、

前記トランジスタのゲート電極をゲルマニウム膜で形成した半導体装置。

2. 前記ゲルマニウム膜が、単結晶ゲルマニウム膜、多結晶ゲルマニウム膜、
アモルファスゲルマニウム膜、のいずれかか1種からなる請求項1記載の半導

10 体装置。

3. 前記ゲルマニウム膜は、p形不純物が導入されてなる請求項1または2
記載の半導体装置。

15 4. 前記ゲート電極は、ゲルマニウム膜と低抵抗導電膜とを含む多層構造を
備えてなる請求項1記載の半導体装置。

5. 前記低抵抗導電膜は、遷移金属、遷移金属シリサイド、遷移金属窒化膜
または、これらの組み合わせからなる請求項4記載の半導体装置。

20

6. 前記多層構造は、ゲルマニウム膜と低抵抗導電膜の間に多結晶シリコン
層が設けられてなる請求項4記載の半導体装置。

7. nチャネル絶縁ゲート電界効果トランジスタと、

25 pチャネル絶縁ゲート電界効果トランジスタと、

を混載した相補形を備え、

前記各トランジスタのゲート電極は、p 形不純物が導入された単結晶ゲルマニウム膜、多結晶ゲルマニウム膜、アモルファスゲルマニウム膜のいずれか一種からなる半導体装置。

- 5 8. 半導体基板上にゲート酸化膜を形成する工程と、
前記ゲート酸化膜上にゲルマニウム膜を形成する工程と、
前記ゲルマニウム膜に p 型不純物を導入し、パターニングしてゲート電極を形成する工程と、
前記ゲート電極をマスクとしてソース、ドレイン領域を形成する工程と、
10 を有する半導体装置の製造方法。

9. 前記ゲート電極を形成する工程は、
前記ゲルマニウム膜上に多結晶シリコンを形成する工程と、
前記多結晶シリコン膜上に遷移金属を形成する工程と、
15 熱処理により前記多結晶シリコン膜の一部あるいは全てを遷移金属シリサイドとする工程と、
を含む請求項 8 記載の半導体装置の製造方法。

10. 前記ゲート電極を形成する工程は、前記ゲルマニウム膜上に遷移金属膜または遷移金属窒化膜を形成する工程を含む請求項 8 記載の半導体装置の製造方法。
20

11. CVD 法により、前記 p 型不純物の導入を行う請求項 8 記載の半導体装置の製造方法。
25

12. イオン・インプランテーション法により、前記 p 型不純物の導入を行

う請求項 8 記載の半導体装置の製造方法。

13. 半導体基板上にゲート酸化膜を形成する工程と、

前記ゲート酸化膜上にゲルマニウム膜を形成する工程と、

5 前記ゲルマニウム膜に p 型不純物を導入し、パターニングしてゲート電極を形成する工程と、

前記ゲート電極をマスクとしてソース、ドレイン領域を形成する工程と、

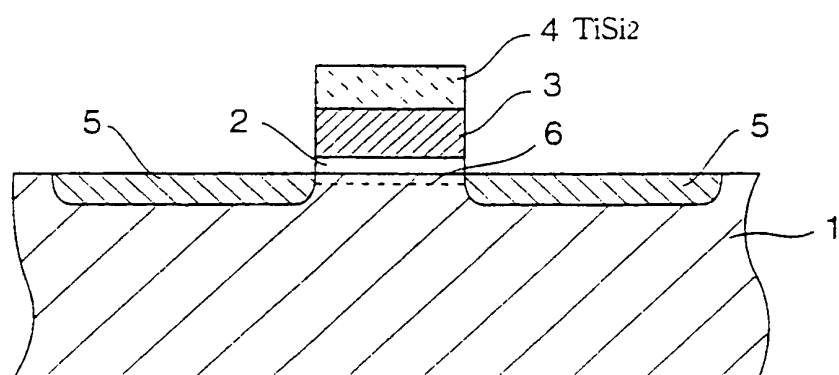
前記ゲート電極の両端にスペーサを形成する工程と、

前記ゲート電極上及び前記ソース、ドレイン領域上に遷移金属膜を形成し、

10 熱処理して遷移金属シリサイドとする工程と、

を有する半導体装置の製造方法。

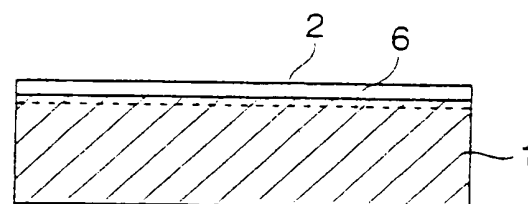
1



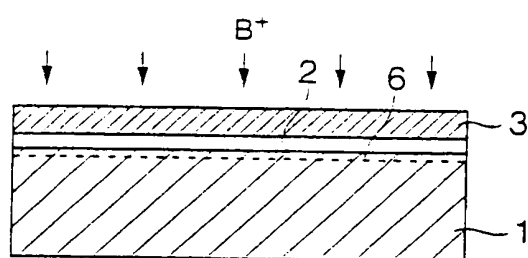
THIS PAGE BLANK (USPTO)

2/9

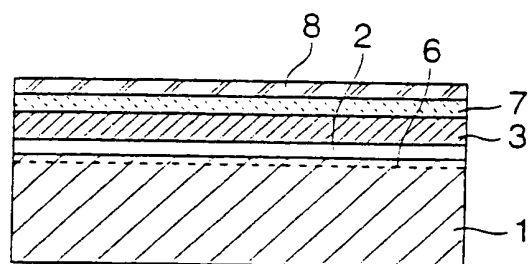
図 2



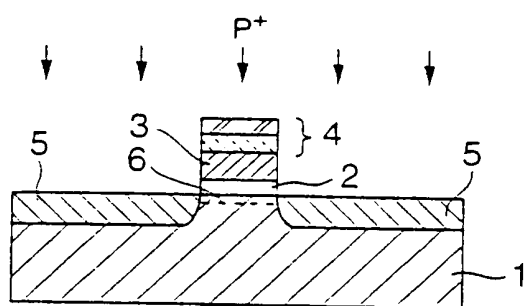
(a)



(b)



(c)

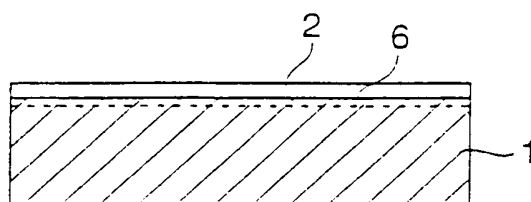


(d)

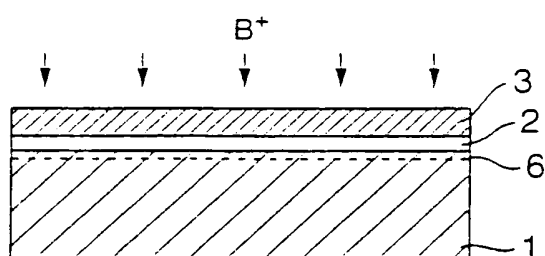
THIS PAGE BLANK (ISPTO)

3/9

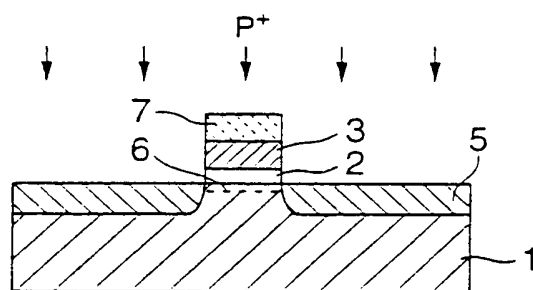
3



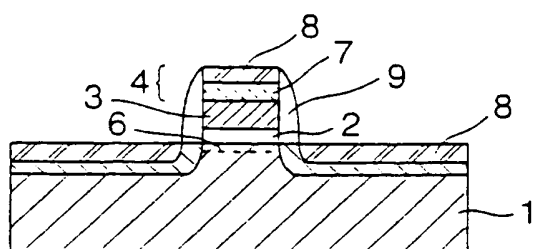
(a)



(b)



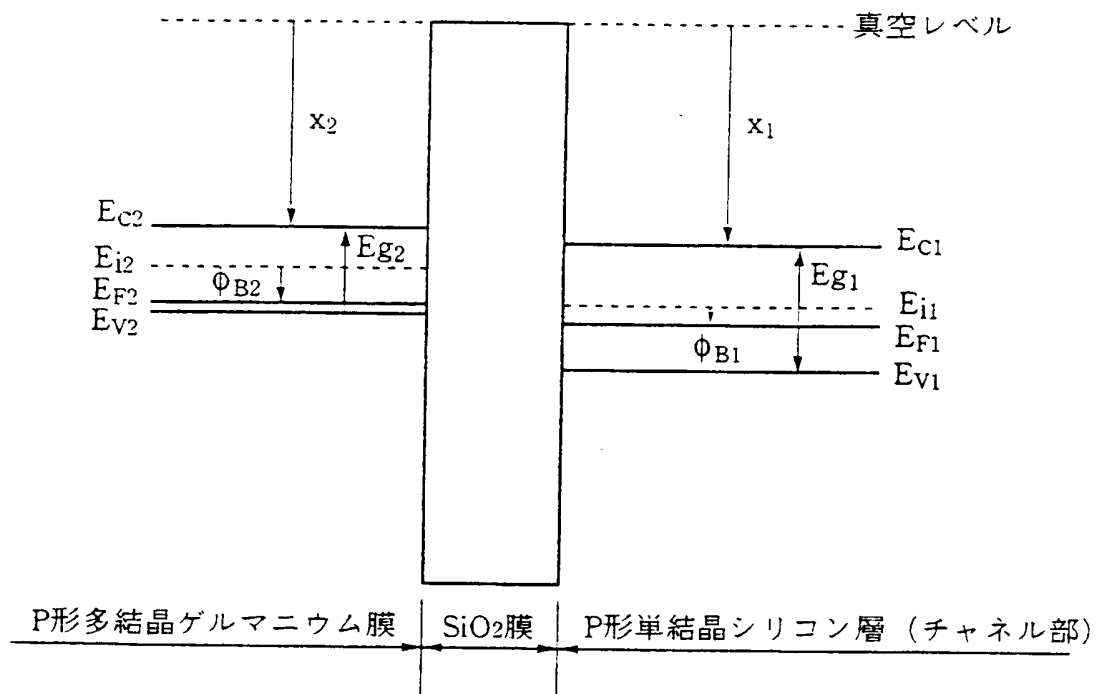
(c)



(d)

THIS PAGE BLANK (USPTO

図 4

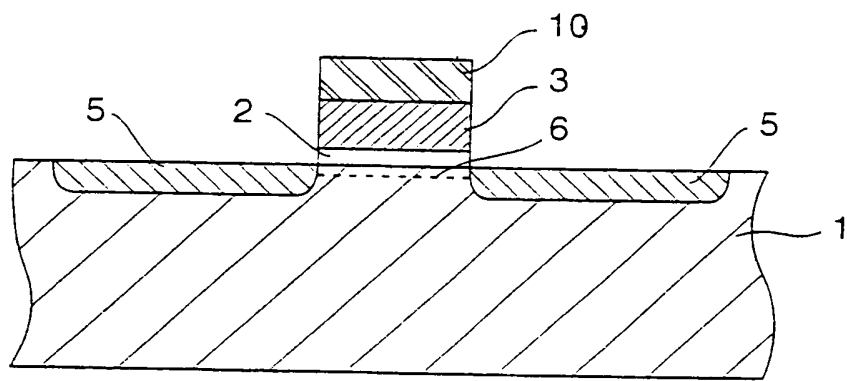


E_C : 伝導帯のバンド端
 E_V : 価電子帯のバンド端
 E_F : フェルミエネルギー
 E_i : 真性ミッドギャップエネルギー
 x : 電子親和力エネルギー
 E_g : エネルギーギャップ
 Φ_B : $E_F - E_i$

THIS PAGE BLANK (USP)

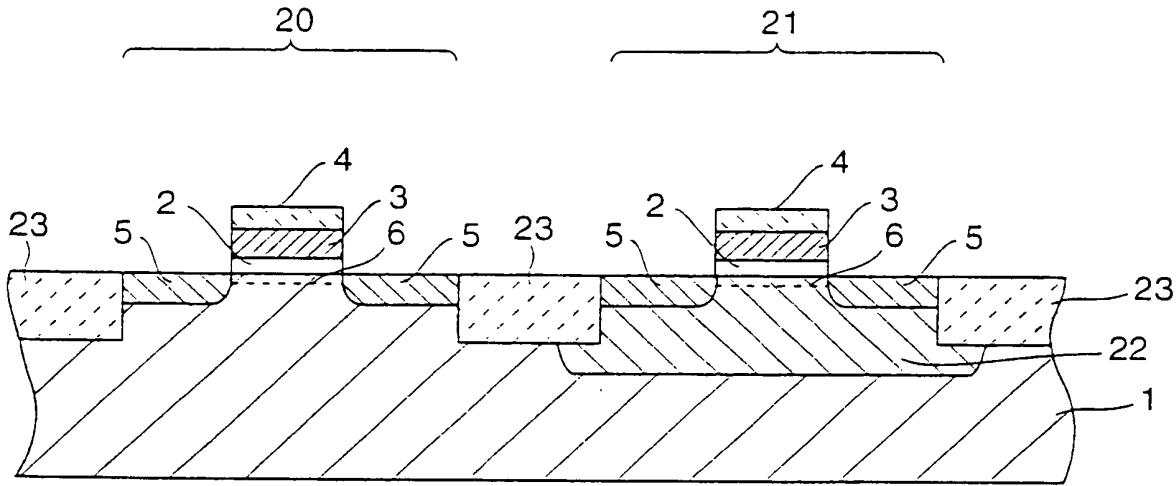
5/9

図 5



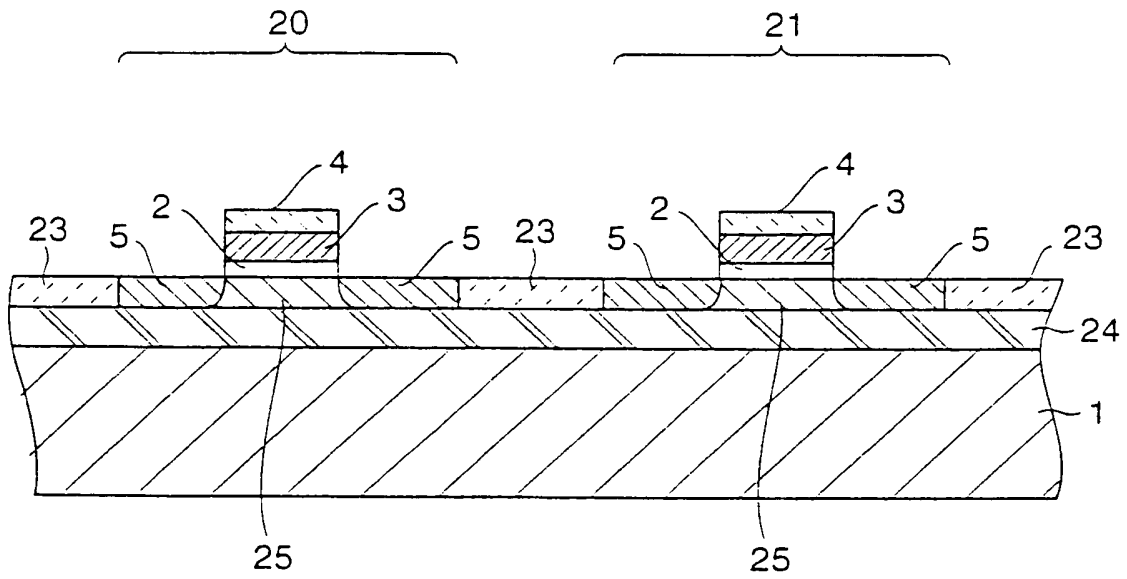
THIS PAGE BLANK (USPTO)

図 6



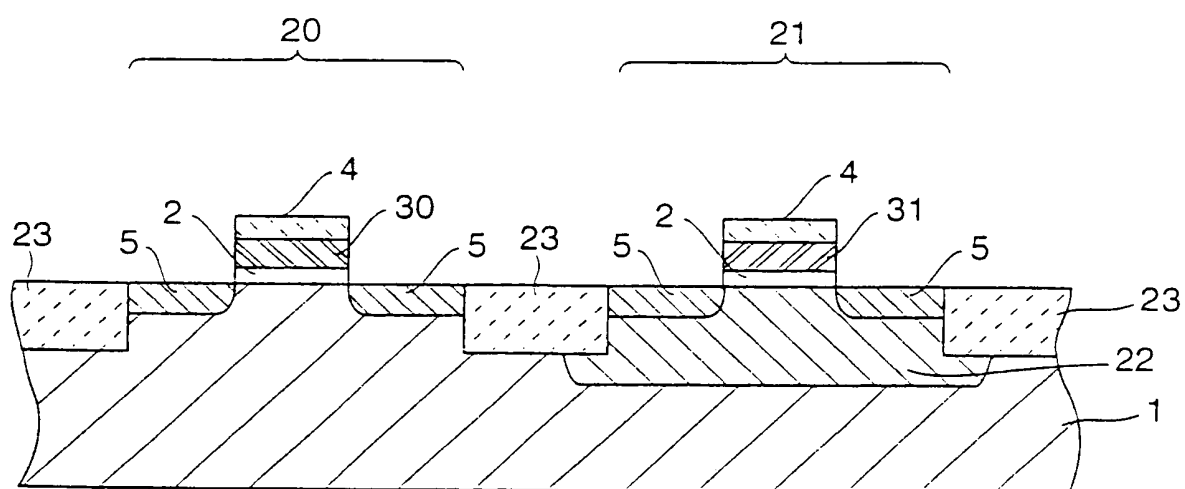
THIS PAGE BLANK (USPTO)

図 7



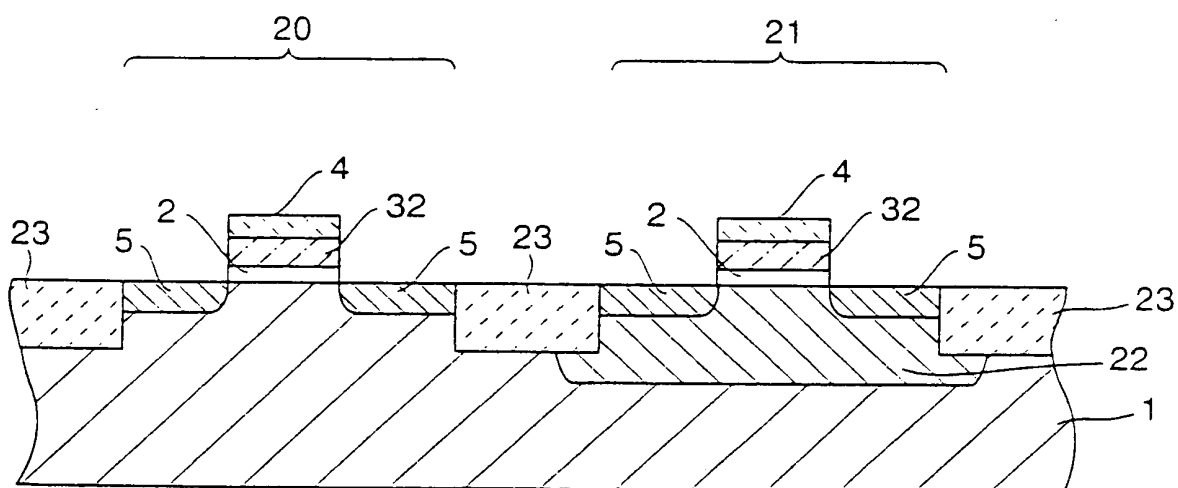
THIS PAGE BLANK (10/27/01)

図 8



THIS PAGE BLANK (USPTO)

9



THIS PAGE BLANK (USPTO)

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 S 2 7 9 P 3 P の書類記号 0 3 5 W O	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 0 0 / 0 3 9 6 8	国際出願日 (日.月.年) 1 6 . 0 6 . 0 0	優先日 (日.月.年) 2 3 . 0 6 . 9 9
出願人 (氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 2 図とする。 ☐ 出願人が示したとおりである。

☐ なし

☒ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl ⁷ H01L29/78			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl ⁷ H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1966-1996年 日本国公開実用新案公報 1971-2000年 日本国実用新案登録公報 1996-2000年 日本国登録実用新案公報 1994-2000年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
X	JP, 10-27854, A (ソニー株式会社) 27. 1月. 1998 (27. 01. 98), 全文, 第1-6図		1-4, 7, 8, 12
Y	全文, 第1-6図 (ファミリーなし)		5, 6, 9, 10, 11, 13
X	JP, 48-22022, B1 (松下電器産業株式会社) 3.		1
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 04. 08. 00		国際調査報告の発送日 5.08.00	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 河 口 雅 英 印 電話番号 03-3581-1101 内線 3462	

THIS PAGE BLANK (USPTO)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	7月. 1973 (03. 07. 73), 全文, 第1-6図 (ファミリーなし)	
Y	J P, 7-288323, A (ソニー株式会社) 31. 10月. 1995 (31. 10. 95), 段落番号【0002】-【0008】, 第4図 (ファミリーなし)	5, 10
Y	J P, 11-162916, A (日本電気株式会社) 18. 6月. 1999 (18. 06. 99), 段落番号【0002】-【0003】, 第5図 (ファミリーなし)	5, 10
Y	J P, 11-17182, A (ソニー株式会社) 22. 1月. 1999 (22. 01. 99), 全文, 第1-8図, (ファミリーなし)	6, 9
Y	WO, 94/14198, A (INTEL CORPORATION) 23. 6月. 1994 (23. 06. 94), 第8頁-第17頁, 第3図, 第4図 & J P, 8-508851, A & US, 5625217, A & US, 5783478, A & GB, 2286723, B	6, 9, 13
Y	J P, 11-87708, A (フランス テレコム) 30. 3月. 1999 (30. 03. 99), 段落番号【0019】-【0025】 & EP, 887843, A & FR, 2765394, A	11
Y	J P, 7-202178, A (株式会社東芝) 4. 8月. 1995 (04. 08. 95), 段落番号【0114】-【0142】, 段落番号【0047】-【0058】, 第9図, 第10図 (ファミリーなし)	13
A	J P, 11-3999, A (ソニー株式会社) 6. 1月. 1999 (06. 01. 99), 全文, 第1図-第7図 (ファミリーなし)	1-13
A	J P, 63-198373, A (日本電気株式会社) 17. 8月. 1988 (17. 08. 88), 全文, 第1図-第6図 (ファミリーなし)	1-13

THIS PAGE BLANK (USPTO)